# 前言 术语

## 1. 与硬件相关的术语

封装：封住集成电路所用的塑料、金属或陶瓷包装。常用的封装形式可以分为通孔封装和贴片封装两大类。通孔封装主要有：单列直插（SIP，single-in-line package），双列直插（DIP，dual-in-line package），Z字型直插（ZIP，zigzag-in-line package）等。常见的贴片封装主要有：小外形封装（SOP，small outline package），紧缩小外形封装（SSOP，shrink small outline package），四方扁平封装（QFP，quad-flat package），薄方封装（LQFP，plastic-low-profile quad-flat package），塑料扁平组件式封装（PFP，plastic flat package），带载封装（TCP，tape carrier package），插针网格阵列封装（PGA，ceramic pin grid array package），球栅阵列封装（BGA，ball grid array package）。

印刷电路板（PCB，printed circuit board）：是组装电子元件用的基板，是在通用基材上按预定设计形成点间连接以及印制元件的印制板。主要功能是提供集成电路等各种电子元器件固定，装配的机械支撑；以及实现元器件之间的布线连接，绝缘；还有为检修元器件提供识别字符和图形。

动态可读写随机存储器（DRAM，dynamic random access memory）：由一个MOS管组成一个二进制位。一般每隔一段时间就要控制刷新信息，给其充电。价格低但控制繁琐，接口复杂。

静态可读写随机存储器（SRAM，static random access memory）：由四个或六个MOS管组成一个二进制位。当电源有电时，SRAM不用刷新，永远保持原有数据。

只读存储器（ROM，read only memory）：数据可以读出，但不可以修改，通常存储一些固定不变的信息，如常数，数据，换码表等。断电后数据不丢失。ROM有固定ROM，可编程ROM和可擦除ROM三种。

可编程ROM（PROM）：或称一次性可编程（OTP）ROM。通过大电流将相应位的熔丝熔断，从而将该位改写为0。因此只能改写一次。

可擦除ROM（EPROM）：用MOS管代替熔丝，可以反复重写。一般用紫外线擦除器完成，不方便。

电可擦除EPROM（E2PROM，EEPROM）：用低电压信号即可擦除的EPROM

闪速存储器（flash memory）：是一种快速的EEPROM（得益于工艺和结构改进）。尽管现代的快速闪存是系统内可编程的（不需要另外的器件来修改内容），但是仍然没有RAM方便。

现场可编程（field programmable）：顾名思义，由设计师在芯片出厂后可以自行设计编程的情况。

掩膜（mask）：一般用来形容类似MCU的存储器ROM，在出厂时已经固化的情况，即连一次可编程的机会都没有的情况。

硬件描述语言（HDL）

EDA软件：

精简指令集计算机（RISC，reduced instruction set computer）：

复杂指令集计算机（CISC，complex instruction set computer）：

## 2. 与通信相关的术语

并行通信：将数据的各位同时在多根并行传输线上进行传输。数据的各位同时由源到达目的地。适合近距离、高度通信。常用4,8,16,32位等同时传输。

串行通信：数据在单线上按时间先后一位一位地传送。节省传输线但速度慢。在嵌入式系统（ES）中，串行通信一般特指用串行通信接口SCI（serial communication interface）与RS232芯片连接的通信方式。

串行外设接口（SPI，serial peripheral interface）：也是串行通信，主要用于MCU扩展外围芯片使用。这些芯片可以是具有SPI接口的A/D转换、时钟芯片等。

I2C（inter integrated circuit）：I2C总线是一种由PHILIPS公司开发的两线式串行总线，用于连接MCU及其外围设备。

通用串行总线（USB，universal serial bus）：是MCU与外界进行数据通信的一种方式，速度快，抗干扰能力强。

控制器局域网（CAN，control area network）：一种全数字，全开放的现场总线控制网络。

背景调试模式（BDM，background debug mode）：是Freescale半导体公司提出的一种调试接口，开创了片上集成调试资源的趋势。

边界扫描测试协议（JTAG，joint test action group）：提供一种串行扫描路径，能获取芯片寄存器等内容，或者测试遵守IEEE规范的器件之间引脚连接情况。

## 3. 与功能模块相关的术语

通用输入/输出（GPIO，general purpose I/O）：基本的输入输出，也称并行I/O。MCU内部程序可以读取或改变引脚的高低电平来作为输入输出信号。

A/D与D/A：数字信号和模拟信号的转换。

脉冲宽度调制器（PWN，pulse width modulator）：一个D/A转换器，可以产生脉冲信号。

## 4. 与嵌入式软件相关的术语

中断：指CPU正在处理某件事的时候，外部发生了另一件事请求CPU迅速去处理，CPU暂时中断当前工作，处理第二件事，完成后继续前一件事。实现这种功能的部件称为中断系统。产生中断的请求源称为中断源。由软件指令引起的一个程序中断，称为软件中断。由某一特定功能引脚或基于芯片设备产生的中断称为硬件中断。

中断服务程序：响应特定中断而运行的一段程序。这段程序所在地址称为中断向量。

实时操作系统RTOS（real time operating system）：一种操作环境，运行于ES上，并在可预测的时间间隔内，程序能对特定的事件作出反应。提供建立多任务的能力。

μC/OS-II：一个可移植和可裁剪的抢占式多任务实时操作系统，并且开放源代码，在嵌入式系统中得到广泛的应用。

临界区（critical section）：RTOS术语，指一段必须按次序执行的代码，并且不能被中断，否则程序可能无法正常运行。

# 第一章 嵌入式系统概述

## 1.1 嵌入式系统的概念和特点

1.1.1 嵌入式系统（embeded system）的定义及特点

嵌入式产品：手机，PDA，数控机床，微型计算器，PC键盘。

定义：①嵌入式系统是控制，监视或者辅助设备机器和车间运行的装置  
②以应用为中心，以计算机技术为基础，软硬件可裁剪，适应应用系统对功能、可靠性、成本、体积、功耗严格要求的专用计算机系统。

特点：(1) 嵌入式系统面向特定应用  
(2) 嵌入式处理器处理器受到应用要求的制约  
(3) 嵌入式软件要求固化，可靠：高质量，高可靠性和高实时性，设计完成后不能对其进行修改，必须有一套开发工具和环境。

1.1.2 嵌入式系统的基本结构

嵌入式系统包括硬件和软件两部分：  
硬件包括微处理器，存储器以及外设器件等  
软件包括操作系统软件OS和应用程序。

(1) 硬件

和普通PC系统所含结构类似，但是在功耗、体积、成本、速度、处理能力与电磁兼容性等方面均受到应用要求的制约。

(2) 软件

嵌入式应用系统架构的开发比较复杂，也是设计开发的关键。

1.1.3 嵌入式系统的发展及其现状

(1) 发展阶段

第一阶段是嵌入技术的早期阶段

第二阶段是以嵌入式处理器/控制器和嵌入式操作系统为标志的

第三阶段是以芯片技术和Internet技术为标志的：SoC（片上系统），NoC（片上网络）

(2) 发展现状

嵌入式应用包含硬件，硬件加软件，固件三个层次。

(3) 发展特点

①新的处理器越来越多

②开放源码

③后PC时代更多的产品使用嵌入式操作系统，对实时性要求并不高

④电信设备，控制系统要求的高可靠性，对嵌入式操作系统提出了新的要求

⑤各类通用机上使用的新技术、新观念正逐步移植到嵌入式系统中

⑥各种嵌入式Linux操作系统正迅速发展

⑦面向定制趋势，系统级整合改造并支持应用特制的性能

⑧嵌入式系统的多媒体化和网络化方向趋势

⑨基于知识的嵌入式系统开始出现

## 1.2 嵌入式系统的应用领域

1.2.1 消费类电子产品

1.2.2 移动计算设备

1.2.3 网络设备

1.2.4 工控、仿真、医疗仪器等

## 1.3 嵌入式系统的发展趋势

1.3.1 嵌入式系统发展趋势

(1) 嵌入式应用软件的开发需要强大的开发工具和操作系统的支持

(2) 联网成为必然趋势

(3) 支持小型电子设备实现小尺寸、微功耗和低成本

(4) 提供丰富多样的多媒体人机界面

1.3.2 技术的融合

嵌入式系统的主流技术：微控制器MCU，微处理器MPU（ARM），数字信号处理器DSP和CPLD/FPGA

(1) MCU与SoC的结合, p9/19

(2) MCU与DSP的结合

(3) ARM与DSP的结合

(4) MCU与CPLD/FPGA的结合

# 第二章 嵌入式系统基本知识

## 2.1 典型的嵌入式系统

2.1.1 单片机

MCU（micro controller unit）：又称单片微型计算机（single chip microcomputer），简称单片机。是随着大规模集成电路的出现及其发展，将计算机的CPU、RAM、ROM、定时器和多种I/O接口集成在一片芯片上形成的芯片级的计算机。

32位微控制器可以使用SDRAM，因此可极大地降低使用更大容量数据存储器的成本，而8位微控制器一般只能使用成本较高的SRAM作为数据存储器。

与互联网的接入，要求系统建立在RTOS上

SoC（System on Chip）：其技术含义就是在一个芯片上广泛使用知识产权IP（intellectual property）。说白了就是，在芯片上集成尽可能多的所需的功能组件与接口，构成片上系统。

MCU发展特点：  
(1) 微控制器SoC化  
(2) 多核结构处理器：多核处理器体系的结构功耗低于传统体系结构的处理器  
例：MPC8260 PowerQUICC II融合两个CPU，一个嵌入式PowerPC内核和通信处理模块（CPM）  
例：TC10GP和增强型TC1130是三核（TriCore）结构，同时具备RISC，CISC和DSP功能，包括微控制器和DSP核，数据和程序存储器核，外围专用集成电路（ASIC，application specific IC）  
(3) 更低功耗  
(4) 更宽工作电压范围  
(5) 更先进的工艺和更小的封装  
(6) 低噪声布线技术

2.1.2 DSP

数字信号处理（digital signal processing）是指利用专用或通用的数字信号处理芯片，以数字计算的方法对信号进行处理。它类似于微处理器，但是它的内部CPU被优化特定用于信号处理。

2.1.3 CPLD/FPGA

(1)发展历程

PLD是指可编程逻辑器件（programmable logic device），FPGA是现场可编程门阵列（field programmable gate array）。两者的功能基本相同，但是实现原理略有不同。CPLD是复杂可编程逻辑器件。这二者都是FPLD（现场可编程逻辑器件）中应用最广泛的种类。

超大规模集成电路（VLSIC）

早期的可编程逻辑器件只有可编程只读存储器（PROM），紫外线可擦除只读存储器（EPROM）和电可擦除只读存储器（EEPROM）3种。

中期出现了PLD，能以乘积项（product term）的形式完成大量的组合数字逻辑功能。这一阶段的产品主要有可编程阵列逻辑（PAL）和通用阵列逻辑（GAL，generic array logic）还有可编程逻辑阵列（PLA）。这些器件可以实现速度特性较好的逻辑功能，但结构还过于简单，只能实现规模较小的电路。

后来出现了类似于PAL结构的扩展型CPLD和与标准门阵列类似的FPGA（原理类似只是工艺提升结构复杂化的升级版），可用于较大规模的电路。这种可编程尤其是多次可编程的芯片，具有设计开发周期短，设计制造成本低，开发工具先进，标准产品无需测试，质量稳定以及可实时在线检验等优点。可广泛用于产品的原型设计和10000件以下的生产。对于大批量生产，仍需要考虑使用掩膜工艺。对于这两种PLD产品，实际上就是Xilinx公司的FPGA，和Altera公司的CPLD（理论与生产来自企业）。

PLD和单片机不一样。PLD能完成任何数字器件的功能，如同一张白纸或一堆积木。工程师可以通过传统的原理图输入法，或硬件描述语言自由地设计一个数字系统。

(2) FPGA/CPLD

FPGA多为SRAM框架或查表框架，需外接配置用的EPROM下载。另一种是使用Flash、EEPROM框架或乘积项框架的CPLD。这是Xilinx公司的定义，而Altera公司将形如FPGA的产品命名为CPLD，因此两个术语有混用趋势。

FPGA采用逻辑单元阵列（LCA，logic cell array）新概念，内部包括可配置逻辑模块（configurable logic block），输入输出模块IOB（input output block）和内部连线（interconnect）。

工作原理：FPGA是由存放在片内RAM中的程序来设置其工作状态的。工作时需要对片内的RAM进行编程。加电时，FPGA将EPROM中的数据读入片内编程RAM，配置完成后FPGA进入工作状态。断电后，FPGA恢复为白片，因此可以反复使用。FPGA编程无需专用编程器，只需通用的PROM编程器即可。

FPGA的多种配置模式：  
①并行模式为一片FPGA加一片EPROM  
②主从模式可以支持一片PROM编程多片FPGA  
③串行模式可采用串行PROM编程FPGA  
④外设模式可将FPGA作为MPU的外设，由其对FPGA编程

FPGA由一系列逻辑单元的阵列组成，每个逻辑单元含有一个四输入函数发生器，一个进位逻辑和一个存储单元（触发器）。阵列单元通过可编程连线阵列互联。因此FPGA的布线是可编程的（不同于一般门阵列设计），实现很强大的函数功能。

FPGA按照编程方式和功能块的结构可以分为SRAM查找表型和反熔丝多路开关型两大类。第一种如前段所述。第二种常以多路转换器构成可编程逻辑功能块，以反熔丝元件作为编程器件，只能一次编程。

SRAM FPGA通常特点为连线少，可编程连接点少的布线结构，逻辑单元较大，并有和逻辑单元内门数目成正比但相对较少的I/O。逻辑单元因此可以实现复杂逻辑功能而不会增加布线试验。但是由于I/O较少，往往在实现小的功能函数时，资源利用率不高。

反熔丝（anti-fuse）FPGA通常具有连线多，可编程连接点多的布线结构，逻辑单元小，且有和逻辑单元内门数目成比例的较多I/O。这是因为其连线对于信号传输的有效性和熔丝作用不会彼此发生干扰从而实现不同线路单元间最近距离连接。反熔丝FPGA较小的逻辑单元可提高使用效率，简单函数不会浪费逻辑单元的资源，复杂函数可使用多个逻辑单元。但是多级逻辑单元组成的结构会由于每级含有的一个由线分布电容和熔丝电阻以及由电容带来的布线时延而影响整体性能。所以在逻辑单元尺寸和布线结构设计上必须权衡。

为了实现SoC的要求，新一代FPGA可以实现系统级设计，称为名副其实的可编程ASIC。因为一个FPGA可以解决过去需要各种不同的专用器件才能解决的问题。这种新技术称为SoPC（system on programmable chip）。  
①系统集成：新FPGA将逻辑单元连同其通用布线资源组合，形成一定的可配置逻辑块或逻辑阵列。这样的结构可以实现更加复杂的逻辑功能。现在新的器件以大量路由资源提供快速的互联和可预知的延时性能，围绕可编程I/O模块的可配置逻辑功能块阵列，全部互联于一个高效的分段路由结构。由于芯片内核向量式互联，所以器件性能可以前后一致不受外设改动而影响。  
②系统存储：为满足系统级设计要求，FPGA不仅有可编程逻辑功能块，I/O块和互联布线资源，还必须有可编程片内RAM。SRAM查找表结构的FPGA可以实现片内分布式RAM。芯片内核由空间实现片内块式RAM，此外把延时锁定环和I/O块结合，可以为任意数量的芯片外存提供200MHz的存取速度。  
③系统时钟：新一代FPGA有独立的延时锁相环。是FPGA中完全由数字方式实现的锁相环。  
④系统接口：一个芯片上拥有不同的I/O标准与接口允许与各种类型的器件连接实现应用。

(3) 基本组成

①一个二维的逻辑块阵列（用户可编程），构成了PLD器件的逻辑组成核心

②可编程的输入输出块（I/O）位于芯片四周，连接逻辑块的互联资源

③连线资源，包括各种长度的连线线段，含有一些可编程的连接开关

2.1.4 ARM